


Français   
1 of 4Images Description and Claims (13 Kb)

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT  
COOPERATION TREATY (PCT)

(11) WO 01/88994

(13) A1

(21) PCT/JP01/03979

(22) 14 May 2001 (14.05.2001)

(25) Japanese

(26) Japanese

(30) 2000-140292

12 May 2000

JP

(12.05.2000)

(43) 22 November 2001 (22.11.2001)

(51)<sup>7</sup> H01L 29/732, 29/737, 21/331

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE  
THEREOF

(71) MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. [JP/JP]; 1006,  
Oaza Kadoma, Kadoma-shi, Osaka 571-8501 (JP).

(71) 松下電器産業株式 社 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,  
LTD.) [JP/JP]; 571-8501 大阪府門 市大字門 1006番地 Osaka  
(JP).

(72) OHNISHI, Teruhito [JP/JP]; 60-1-1202, Yamanoue-Kitamachi,

(75) Hirakata-shi, Osaka 573-0049 (JP). ASAI, Akira [JP/JP]; 9-5-12-  
1303, Uehonmachi, Tennoji-ku, Osaka-shi, Osaka 543-0001 (JP).

(72) 大西照人 (OHNISHI, Teruhito) [JP/JP]; 573-0049 大阪府枚方市山

(75) 之上北町60-1-1202 Osaka (JP). 井 明 (ASAI, Akira) [JP/JP];  
543-0001 大阪府大阪市天王寺 上本町9-5-12-1303 Osaka (JP).

(74) MAEDA, Hiroshi, et al; Taihei Bldg., 4-8, Utsubohonmachi 1-  
chome, Nishi-ku, Osaka-shi, Osaka 550-0004 (JP).

(74) 前田 弘 (MAEDA, Hiroshi), et al; 550-0004 大阪府大阪市西 本  
町1丁目4番8 太平ビル Osaka (JP).

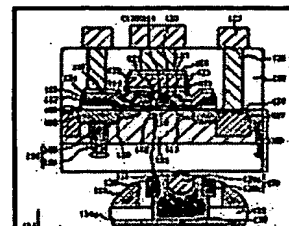
(81) CN, KR, US

(84) European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE,  
IT, LU, MC, NL, PT, SE, TR)

Published


- with international search report

(57) An Si1-xGex layer (111b) consisting of an i-  
Si1-xGex layer and a P+ Si1-xGex layer, which  
functions as a base, is formed on a collector layer  
(102). A silicon cap layer (111a) for an emitter is  
formed on the P+ Si1-xGex layer. On the silicon

**AN****REST AVAILABLE COPY**

cap layer (111a) in a base opening (118), an emitter contact (129) is formed which consists of an N- polysilicon layer (129b) containing phosphorus within the limit of solid solution to single-crystal silicon and a heavily phosphorus-doped N+ polysilicon layer (129a). The silicon cap layer (111a) is prevented from being doped with excessive phosphorus (P) to keep a proper doping concentration distribution in the base layer. The silicon cap layer (111a) may include a p-type impurity in its upper portion. A proper distribution of p-type doping concentration is thus maintained in the base layer in an NPN bipolar transistor.



Français   
1 of 4

특2002-0039319

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/331		(11) 공개번호 (43) 공개일자	특2002-0039319 2002년05월25일
(21) 출원번호	10-2002-7000394	(87) 국제공개번호	W0 2001/88994
(22) 출원일자	2002년01월11일	(87) 국제공개일자	2001년11월22일
번역문제출일자	2002년01월11일		
(86) 국제출원번호	PCT/JP2001/03979		
(86) 국제출원출원일자	2001년05월14일		
(81) 지정국	국내특허 : 중국 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 터키		
(30) 우선권주장	JP-P-2000-00140292 2000년05월12일 일본(JP)		
(71) 출원인	마츠시타 덴기 산교 가부시키가이샤		
(72) 발명자	일본 오오사카후 가도마시 오오마자 가도마 1006 오니시데루히토 일본국오오사카후히라카타시아마노우에키타마치60-1-1202 아사이마키라 일본국오오사카후오오사카시덴노지쿠우에혼마치9-5-12-1303 김영철		
(74) 대리인	김영철		

심사청구 : 없음

(54) 반도체장치 및 그 제조방법

요약

플렉터층(102) 상에, 베이스로서 기능하는  $I-Si_{1-x}Ba_x$ 층 및  $P^+Si_{1-x}Ba_x$ 층으로 이루어지는  $Si_{1-x}Ba_x$ 층(11b)이 구성되며,  $P^+Si_{1-x}Ba_x$ 층 상에, 에미터가 될 실리콘층(11a)이 형성된다. 베이스 게구부(118) 내에서 실리콘층(11a) 상에, 단결정 실리콘에로의 고용한계 이하의 인을 포함하는  $N^-$ 폴리실리콘층(129b)과, 고 농도의 인을 포함하는  $N^+$ 폴리실리콘층(129a)으로 이루어지는 에미터 인출전극(129)이 형성된다. 실리콘층(11a)에 고 농도의 인(P)이 과잉 도핑되는 것을 억제하여, 베이스층의 불순물 농도분포를 적정하게 유지한다. 실리콘층(11a) 상부에 P형 불순물을 포함시켜도 된다.  $NP$  바이폴라 트랜지스터에서 베이스층의 P형 불순물 농도분포가 적정하게 유지된다.

도면

도1

제1면

플렉터층, 실리콘층, 베이스 게구부, 에미터 인출전극

제2면

기술분야

본 발명은 반도체장치 및 그 제조방법에 관하며, 특히 헤테로 바이폴라 트랜지스터, 또는 이를 포함하는 Bi-CMOS 바이스에서 불순물 농도분포의 적정화 대책에 관한 것이다.

배경기술

최근, 실리콘기판 상에 형성되는 바이폴라 트랜지스터에  $Si/SiGe$ ,  $Si/SiC$  등의 헤테로접합 구조를 포함시킴으로써, 보다 우수한 전도특성을 주어 더욱 고주파영역 동작을 실현시키는 헤테로 바이폴라 트랜지스터(HBT)의 개발이 급진전되고 있다. 이 HBT는 실리콘기판 상에  $SiGe$ 층을 에피택셜성장시키고 이  $Si/SiGe$  헤테로접합 구조를 이용하는 것으로, 지금까지  $GaAs$  등의 화합물 반도체기판을 이용한 트랜지스터가 아니던 동작시킬 수 있었던 고주파수 영역에서도 동작하는 트랜지스터를 실현할 수 있다. 이 HBT는 실리콘기판,  $SiGe$ 층이라는 범용 실리콘프로세스와 친화성 높은 재료로 구성되므로, 고 집적도나 저 원가

라는 커다란 이점을 갖는다. 특히 HBT와 MOS트랜지스터(MOSFET)를 공통 실리콘기판 상에 형성하여 집적화함으로써, 고성능 Bi-CMOS디바이스를 구성할 수 있으며, 이 Bi-CMOS디바이스는 통신관계에 이용 가능한 시스템 LSI로서 유망하다.

그래서 Bi-CMOS디바이스 중의 바이폴라 트랜지스터로서 지금까지 Si/Si<sub>1-x</sub>Ge<sub>x</sub>나 Si/Si<sub>1-x</sub>C<sub>x</sub> 등 헤테로접합 구조를 포함하는 HBT가 제안 시험제작되었다. 그 중에서도 Si/Si<sub>1-x</sub>Ge<sub>x</sub>형 HBT는 실리콘과 게르마늄이 거의 전체범위에서 고용(固溶) 가능하다는 성결과, 열적응을 줄으로써 발생하는 밴드갭의 변화를 이용하여, 밴드갭을 연속적으로 조정할 수 있다는 등의 점에서 유망시 되고 있다. 이 때문에 실리콘층만을 갖는 MOSFET와 Si/Si<sub>1-x</sub>Ge<sub>x</sub>형 HBT를 공통 실리콘기판에 구성시킨 SiGe-BiCMOS 디바이스에 대한 제안이 많이 행해지고 있다.

도 12는 종래의 SiGe-BiCMOS디바이스의 제조공정을 나타내는 단면도이다. 도 12에 나타내는 바와 같이, (001)을 주면으로 하는 실리콘기판(500)의 상부는 에피택셜성장법, 이온주입법 등에 의하여 도입된 인 등의 N형 불순물을 함유하는 깊이 1 $\mu$ m의 역형 웰(retrograde well)(501)이다. 실리콘기판(500) 표면 부근의 영역에서 N형 불순물농도는 1 $\times 10^{17}$  atoms/cm<sup>3</sup> 정도로 조정된다. 또 소자분리로서, 산화실리콘이 패입된 얇은 트렌치(503)와 비도프 폴리실리콘막(505) 및 이를 둘러싸는 실리콘산화막(506)으로 구성되는 깊은 트렌치(504)가 형성된다. 각 트렌치(503, 504)의 깊이는 각각 0.35 $\mu$ m, 2 $\mu$ m 정도이다.

또 실리콘기판(500) 내의 트렌치(503)에 의하여 둘러싸이는 영역에 콜렉터층(502)이 형성되며, 실리콘기판(500) 내 콜렉터층(502)과는 얇은 트렌치(503)로 분리된 영역에 역형 웰(501)을 개재하고, 콜렉터층(502) 전극과 접속하기 위한 N<sup>+</sup>콜렉터 인출층(507)이 형성된다.

또한 실리콘기판(500) 상에는 콜렉터 게구부(510)를 갖는 두께 약 30nm의 제 1 퇴적산화막(508)이 형성된다. 또 실리콘기판(500)의 콜렉터 게구부(510)에 노출되는 부분과 제 1 퇴적산화막(508)과의 위에는, 두께 약 20nm의 비도프 층(1-Si<sub>1-x</sub>Ge<sub>x</sub>층)과, P형 불순물이 도핑된 두께 약 40nm의 도프 층(P<sup>+</sup>Si<sub>1-x</sub>Ge<sub>x</sub>층)으로 이루어지는 Si<sub>1-x</sub>Ge<sub>x</sub>층(511b)이 형성되며, 다시 그 위에 두께 약 40nm의 실리콘층(511a)이 적층된다. 이 실리콘층(511a)과 Si<sub>1-x</sub>Ge<sub>x</sub>층(511b)에 의하여 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(511)이 구성된다. Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(511)은, 콜렉터 게구부(510) 내에서는, 바탕이 되는 실리콘기판(500) 상에 에피택셜성장된 단결정구조를 갖지만, 제 1 퇴적산화막(508) 상에서는 다결정구조로 된다.

또 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(511) 상에는 두께 약 30nm의 에치스트퍼층 제 2 퇴적산화막(512)이 구성되며, 제 2 퇴적산화막(512)에는 베이스접합용 게구부(514) 및 베이스 게구부(518)가 형성된다. 그리고 베이스접합용 게구부(514)를 메우고 제 2 퇴적산화막(512) 상으로 연장되는 두께 약 150nm의 P<sup>+</sup>폴리실리콘층(515)과 제 3 퇴적산화막(517)이 구성된다.

또한 P<sup>+</sup>폴리실리콘층(515)과 제 3 퇴적산화막(517) 중 제 2 퇴적산화막(512) 베이스 게구부(518)의 위쪽에 위치하는 부분은 게구되며, P<sup>+</sup>폴리실리콘층(515)의 측면에는 두께 약 30nm의 제 4 퇴적산화막(520)이 형성되고, 또 제 4 퇴적산화막(520) 상에 두께 약 100nm의 폴리실리콘으로 이루어지는 측벽(521)이 구성된다. 그리고 베이스 게구부(518)를 메우고 제 3 퇴적산화막(517) 상으로 연장되는 N<sup>+</sup>폴리실리콘층(529)이 구성되며, 이 N<sup>+</sup>폴리실리콘층(529)은 에미터 인출전극으로서 기능한다. 상기 제 4 퇴적산화막(520)에 의하여 P<sup>+</sup>폴리실리콘층(515)과 N<sup>+</sup>폴리실리콘층(529)이 전기적으로 절연되고 동시에, P<sup>+</sup>폴리실리콘층(515)으로부터 N<sup>+</sup>폴리실리콘층(529)으로의 불순물 확산이 저지된다. 또 제 3 퇴적산화막(517)에 의하여 P<sup>+</sup>폴리실리콘층(515)의 상면과 N<sup>+</sup>폴리실리콘층(529)이 절연된다.

또한 콜렉터 인출층(507), P<sup>+</sup>폴리실리콘층(515) 및 N<sup>+</sup>폴리실리콘층(529)의 표면에는 각각 Ti실리사이드층(524)이 형성되며, N<sup>+</sup>폴리실리콘층(529)과 P<sup>+</sup>폴리실리콘층(515)의 바깥쪽 면은 측벽(523)으로 피복된다. 또 기판전체가 용간절연막(525)으로 피복되며, 용간절연막(525)을 관통하여 N<sup>+</sup>콜렉터 인출층(507), 외부베이스의 일부분, P<sup>+</sup>폴리실리콘층(515) 및 에미터 인출전극인 N<sup>+</sup>폴리실리콘층(529) 상 Ti실리사이드층(524)으로 도달하는 접속공이 각각 형성된다. 그리고 이 각 접속공을 메우는 와플러그(526)와, 각 와플러그(526)에 접속되어 용간절연막(525) 상으로 연장되는 금속배선(527)이 구성된다.

여기서, 도 12의 부분확대도에 나타내는 에미터 베이스접합부의 구조에 대하여 설명하기로 한다. Si<sub>1-x</sub>Ge<sub>x</sub>층(511b) 중 베이스 게구부(518)의 아래쪽에 위치하는 부분이 내부베이스(519)(전성 베이스)로서 기능한다. 또 실리콘층(511a) 중 베이스 게구부(518)의 바로 아래쪽에 위치하는 부분이며, N<sup>+</sup>폴리실리콘층(529)으로부터의 확산에 의하여 불소가 도입된 부분이 에미터(530)로서 기능한다.

그리고 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(511) 중 베이스 게구부(518)의 하방영역을 제외한 부분과 P<sup>+</sup>폴리실리콘층(515)에 의하여 외부베이스(516)가 구성된다. 단, 부분확대도에 나타내는 부분에서는 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(511) 중 베이스 게구부(518)의 하방영역을 제외한 부분이 외부베이스(516)로서 기능한다.

상술한 바와 같은 구조에 의하여 실리콘 단결정으로 이루어지는 N<sup>+</sup>형 에미터(530)와, 주로 Si<sub>1-x</sub>Ge<sub>x</sub> 단결정으로 된 P<sup>+</sup>형 내부베이스(519)와, 실리콘 단결정으로 된 콜렉터층(502)을 구비한 Si/SiGe계 NPN 헤테로 바이폴라 트랜지스터가 구성된다. 단, 에미터·베이스·콜렉터를 구획하는 것은 Si/SiGe결정의 경계라기보다는 불순물의 도전형이 변화하는 부분이며, 정확하게는 불순물 프로파일 여하에 따라 에미터·베이스·콜렉터의 경계도 변화하게 된다. 특히 고주파신호 증폭용 디바이스로 이용할 경우에는, 내부베

미스(519)의 P형 불순물인 붕소(B)의 프로파일은 매우 중요하므로,  $Si_{1-x}B_x$ 층(511b)을 퇴적시킬 때는 다음과 같이 한다.

도 13에 나타낸 바와 같이, 플렉터층(실리콘기판) 상에 비도프  $1-Si_{1-x}B_x$ 층(x는 일정함)을 에피택셜 성장시킨 후, 그 위에 붕소(B)를 도핑한  $P^+Si_{1-x}B_x$ 층(x는 변화함)과 실리콘층을 순차 에피택셜성장시킨다. 도 13의 오른쪽에는 베이스층 형성을 위한 결정성장 시의 붕소농도와 게르마늄 함유량의 분포가 나타나있다. 즉  $P^+Si_{1-x}B_x$ 층의 최상부에서는 게르마늄 함유율이 거의 0이 되어 실리콘층과의 조성 차이는 거의 없어진다. 또 그 후의 공정에서 고온처리가 가해짐으로써  $P^+Si_{1-x}B_x$ 층 중의 붕소가 확산되어, 실리콘층과  $1-Si_{1-x}B_x$ 층 일부에도 붕소가 확산된 안전한 붕소의 농도분포를 나타내게 된다.

그런데, 상기 종래의  $Si/SiB_x$  헤테로 바이폴라 트랜지스터에 있어서, 제조공정 중의  $Si_{1-x}B_x$ 층(511b) 중 붕소(B)의 확산을 억제하고, 최종적으로 적정한 붕소 농도프로파일을 안정되게 유지하는 것이 어려웠다. 또한 붕소의 확산에 의하여 헤테로 바이폴라 트랜지스터의 고주파영역에서의 특성이 악화됨을 알게 되었다. 그래서 본 발명자들은, 붕소의 농도프로파일이 붕괴되는 원인을 규명하기 위해 다음과 같은 실험을 실시했다.

도 14는 종래  $Si/SiB_x$  헤테로 바이폴라 트랜지스터의 에미터, 베이스영역의 인(P)과 붕소(B)의 농도분포와, 게르마늄 함유율에 대한 SIMS에 의한 측정데이터를 나타내는 도면이다. 도 14에서 가로축은 0점을 편의적으로 정한 상대적 깊이를 나타내며, 세로축은 인(P), 붕소(B)의 농도(atoms  $\cdot cm^{-3}$ )와 게르마늄의 함유율에 상당하는 미차이온 강도(카운트수)를 나타낸다. 도 14에 나타낸 바와 같이, 게르마늄의 함유율은 준급한 경사구조를 나타내어 양호한 조성이 얻어짐을 알 수 있다. 그러나  $P^+Si_{1-x}B_x$ 층에서 붕소(B)의 농도분포가 완만해져, 실리콘층(511a)의 대부분으로까지 붕소(B)가 크게 확산됨을 알 수 있다. 여기서, 붕소(B)의 종류에는 중량이 서로 다른  $10B$ 와  $11B$ 가 있어, 에피택셜 성장 중의 in-situ 도핑으로 붕소를  $Si_{1-x}B_x$ 층 중으로 도입할 경우에는,  $Si_{1-x}B_x$ 층 중에  $10B$ 와  $11B$ 가 존재하지만, 미온주입에 의하여 붕소(B)를  $Si_{1-x}B_x$ 층 안으로 도입할 경우,  $Si_{1-x}B_x$ 층 중에는  $11B$ 밖에 존재하지 않음은 이미 알려져 있다. 또, SIMS측정 시, 시료층 불순물 등의 원자가 스퍼터링되는 영역에는 어느 정도 폭이 있으므로, SIMS의 측정데이터 중에 반드시 각 영역 범위와 불순물 농도와의 정확한 대응이 나타나는 것은 아니지만, 각 영역의 범위와 불순물 농도와의 개략적 경향은 나타난다.

도 14에 나타낸 바와 같이 붕소(B)의 농도분포가 예상 이상으로 넓어져버리는 것에 대해서 아직 완전하게 해명된 것은 아니지만, 도 14에 나타내는 데이터나 그 밖의 실험에 의하여 분명한 사실에서, 에미터층에서의 인 농도와 붕소(B) 농도 사이에 어떤 상관관계가 존재할 가능성이 강하다. 즉 에미터에서 인(P)의 농도가 높을수록  $P^+Si_{1-x}B_x$ 층 중에서 붕소(B)의 농도분포가 넓어지는 경향을 보였다. 그리고 인(P)의 농도가 높으면 붕소(B)의 확산이 촉진된다는 것에 대해서는, 점 결함이 관여하는 것으로 생각된다. 즉 점 결함이 고농도로 존재하면 붕소원자와 실리콘이나 게르마늄 원자와의 치환에 의한 확산뿐 아니라, 점 결함을 통해 붕소원자의 이동이 가능해지는 점에서, 고온처리 시 붕소원자의 확산속도가 높아져 붕소(B)의 농도분포가 완만해지는 것으로 생각된다.

이는 다음과 같은 인(P)의 농도분포에서 유도된다. 도 14에 나타내는 인(P)의 실리콘층 중 농도분포에서, 영역(Re1)에는 실리콘 단결정의 고용한계(약  $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ ) 이상의 인(P)이 포함되게 되며, 이들 인(P) 중 고용되지 못하는 분량은 격자간 위치로 들어가거나, 공공을 형성하거나 하여 점 결함을 발생시키는 것으로 생각된다. 즉  $Si_{1-x}B_x$ 층에서 인(P)의 농도가 높으면 점 결함 수가 증대하는 점에서, 붕소(B) 확산이 촉진되어 농도분포가 넓어지는 것으로 생각된다.

한편, 종래의 에미터 인출전극으로서 기능하는 N<sup>+</sup>폴리실리콘층(529)에서는 도 14에 나타내는 바와 같이,  $5.0 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$  정도의 인(P)이 도핑되며, 실리콘 단결정 중으로의 고용한계에 비해 매우 고농도이다. 이는 폴리실리콘 중에서는 불순물이 입자계로 편석되는 경향이 강하기 때문에, 전체적으로 고농도의 인(P)을 도핑 해도 지수적 저 저항화를 위해 필요한 불순물의 활성화율을 얻을 수 있기 때문이다.

#### 발명의 상세한 설명

본 발명의 목적은, 에미터 인출전극, 에미터의 저 저항성이나 바이폴라 트랜지스터의 원하는 동작에 필요한 불순물농도를 유지하면서 실리콘층 중의 붕소(B) 등 P형 불순물의 확산을 억제하는 수단을 강구함으로써, 헤테로 바이폴라 트랜지스터의 베이스층에서 P형 불순물의 농도분포를 적정하게 유지하고, 이로써 고주파특성 등의 전기적 특성이 우수한 바이폴라 트랜지스터로서 기능하는 반도체장치 및 그 제조방법을 제공하는 데에 있다.

본 발명의 제 1 반도체장치는 플렉터층으로 기능하는 N형 제 1 단결정 반도체층을 갖는 기판과, 상기 제 1 단결정 반도체층 상에 형성되며 베이스층으로서 기능하는 P형 제 2 단결정 반도체층과, 상기 제 2 단결정 반도체층 상에 형성되고 상부에 고용한계 이하 농도의 인을 함유하며, 적어도 일부가 에미터로서 기능하는 제 3 단결정 반도체층과, 상기 제 3 단결정 반도체층의 상기 상부보다 고농도의 인을 함유하는 반도체층으로 이루어지는 에미터 인출전극을 구비한다.

이로써, 에미터층으로서 기능하는 제 3 단결정 반도체층에는 고용한계 이하 농도의 인만 함유되므로, 제 3 단결정 반도체층 중에서 점 결함의 발생이 억제된다. 따라서 제 3 단결정 반도체층 아래쪽에 위치하는 제 2 단결정 반도체층 중의 P형 불순물, 예를 들어 붕소의 확산이 억제되어, 베이스층으로서 기능하는 제 2 단결정 반도체층에서의 P형 불순물 농도분포가 적정하게 유지되게 된다.

본 발명의 제 2 반도체장치는, 컬렉터층으로 기능하는 N형 제 1 단결정 반도체층을 갖는 기판과, 상기 제 1 단결정 반도체층 상에 형성되며 P형 불순물을 함유하고 베이스층으로서 기능하는 P형 제 2 단결정 반도체층과, 상기 제 2 단결정 반도체층 상에 형성되며 적어도 상부에 있어서 P형 불순물과 이 P형 불순물 농도보다 고농도의 인을 함유하고, 적어도 일부가 에미터로서 기능하는 제 3 단결정 반도체층을 구비한다.

이로써, 제 3 단결정 반도체층에 P형 불순물이 함유되면, 제 2 단결정 반도체층 중의 P형 불순물, 예를 들어 붕소의 확산이 억제됨을 경험적으로 알 수 있으므로, 베이스층으로서 기능하는 제 2 단결정 반도체층에서 P형 불순물의 농도분포가 적절하게 유지된다. 한편, 제 3 단결정 반도체층의 상부는 N형 에미터로서 기능하지만, 제 3 단결정 반도체층 상부에는 같은 영역 내의 P형 불순물 농도보다 고농도의 인이 함유되므로, 바이폴라 트랜지스터로서의 기능은 유지된다.

상기 제 3 단결정 반도체층의 상부에서 P형 불순물의 농도를, 상기 제 2 단결정 반도체층에서의 P형 불순물의 농도 이상으로 함으로써, 더욱 확실하게 제 2 단결정 반도체층 중의 P형 불순물 확산을 억제할 수 있다.

상기 제 1 단결정 반도체층을 실리콘층으로 하며, 상기 제 2 단결정 반도체층을 SiGe층 또는 SiGeC층으로 하고, 상기 제 3 단결정 반도체층을 실리콘층으로 함으로써, 고주파특성 등 전기적 특성이 우수한 Si/SiGe 또는 Si/SiGeC hetero 바이폴라 트랜지스터가 얻어지게 된다.

본 발명의 제 1 반도체장치 제조방법은, 기판 상의 컬렉터층으로서 기능하는 N형 제 1 단결정 반도체층 상에, 베이스층으로서 기능하는 P형 제 2 단결정 반도체층을 에피택셜 성장시키는 공정(a)과, 상기 제 2 단결정 반도체층 상에 제 3 단결정 반도체층을 에피택셜 성장시키는 공정(b)과, 상기 제 3 단결정 반도체층 상에, 최하부에서 상기 제 3 단결정 반도체층의 고용한계 농도의 인을 제 3 단결정 반도체층으로 확산시키는 농도 이하인 농도의 인을 함유하며, 상부에 있어서 상기 최하부보다 고농도의 인을 함유하는 반도체층을 퇴적시키는 공정(c)과, 상기 반도체층 내의 인을 확산시키기 위한 열처리를 실시하여, 상기 제 3 단결정 반도체층 상부에 고용한계 이하 농도의 인을 도핑하여, 바이폴라 트랜지스터의 에미터를 형성하는 공정(d)을 포함한다.

이 방법에 의하여, 공정(d)의 열처리 시에 비정질실리콘층, 폴리실리콘층 등 반도체층의 최하부로부터 제 3 단결정 반도체층으로의 고용한계를 초과하는 인의 확산이 억제되므로, 제 3 단결정 반도체층에서 점 결함의 발생이 억제되고, 이로써 양호한 P형 불순물의 농도분포를 갖는 베이스를 구비하는 바이폴라 트랜지스터가 형성되게 된다.

상기 공정(c)에서는, 상기 반도체층에 도핑하는 인의 농도를, 위쪽을 향하여 단계적으로 높여도 되며, 위쪽을 향하여 연속적으로 높여도 된다.

본 발명의 제 2 반도체장치 제조방법은, 기판 상의 컬렉터층으로서 기능하는 N형 제 1 단결정 반도체층 상에, 베이스층으로서 기능하는 P형 제 2 단결정 반도체층을 에피택셜 성장시키는 공정(a)과, 상기 제 2 단결정 반도체층 상에 제 3 단결정 반도체층을 에피택셜 성장시키는 공정(b)과, 상기 제 3 단결정 반도체층의 적어도 상부에 P형 불순물을 도핑하는 공정(c)과, 상기 제 3 단결정 반도체층 상에, 인을 함유하는 반도체층을 형성하는 공정(d)과, 상기 반도체층 내의 인을 확산시키기 위한 열처리를 실시하고, 상기 제 3 단결정 반도체층 상부에 상기 공정(c)에서 도핑된 P형 불순물보다 고농도의 인을 도핑하여, 바이폴라 트랜지스터의 에미터를 형성하는 공정(e)을 포함한다.

이 방법으로써, 공정(c)에서 제 3 단결정 반도체층 상부에 도핑된 P형 불순물의 존재에 의하여, 경험적으로 그 후의 열처리 시에 제 2 단결정 반도체층 중의 P형 불순물 확산이 억제된다. 따라서 양호한 P형 불순물의 농도분포를 갖는 베이스를 구비한 바이폴라 트랜지스터가 형성되게 된다.

상기 공정(c)은, 상기 공정(b)과 동시에 P형 불순물을 도핑하면서 상기 제 3 단결정 반도체층을 에피택셜 성장 시키거나, 상기 공정(b) 후에 상기 제 3 단결정 반도체층 내에 P형 불순물 이온을 주입함으로써 실시된다.

또 상기 공정(b) 후, 상기 공정(c) 전에, 상기 제 3 단결정 반도체층 상에 절연층을 형성하는 공정과, 상기 절연층 상에, P형 불순물을 함유하는 반도체층을 형성하는 공정을 추가로 포함하며, 상기 공정(c)을 열처리에 의하여 상기 반도체층으로부터 상기 절연층을 통과시켜 상기 제 3 단결정 반도체층으로 P형 불순물을 도입함으로써 실시해도 된다.

#### 도면의 간단한 설명

도 1은 본 발명 제 1 실시예의 반도체장치인 HBT의 구성을 나타내는 단면도.

도 2의 (a), (b)는 제 1 실시예의 반도체장치 제조공정 중 컬렉터 개구부에 Si/Si<sub>0.8</sub>Ge<sub>0.2</sub>층을 형성하는 공정을 나타내는 단면도.

도 3의 (a), (b)는 제 1 실시예의 반도체장치 제조공정 중 P<sup>+</sup>폴리실리콘층에 베이스 개구부를 형성하는 공정을 나타내는 단면도.

도 4의 (a), (b)는 제 1 실시예의 반도체장치 제조공정 중 베이스 개구부에 P<sup>+</sup>폴리실리콘층을 형성하는 공정을 나타내는 단면도.

도 5의 (a), (b)는 제 1 실시예의 반도체장치 제조공정 중 P<sup>+</sup>폴리실리콘층의 단부를 패터닝하는 공정을 나타내는 단면도.

도 6은 제 1 실시예에서, 에미터 인출전극으로부터 실리콘기판에 이르는 종단면에서 인(P) 및 붕소(B)의 농도분포를 모식적으로 나타내는 도면.



도 7은  $P^+Si_{1-x}Ge_x$ 층에서 붕소(B) 중속확산의 폴리실리콘층 중 인(P)의 농도의존성에 관한 모의실험 결과를 나타내는 그림.

도 8은 본 발명 제 2 실시예의 반도체장치인 HBT의 구성을 나타내는 단면도.

도 9의 (a), (b)는 제 2 실시예의 반도체장치 제조공정 중  $P^+$ 폴리실리콘층을 퇴적시킨 후, 붕소(B) 확산을 실시한 뒤에 베이스 게구부를 형성하는 공정을 나타내는 단면도.

도 10은 제 2 실시예에서  $Si/Si_{1-x}Ge_x$ 층의 중단면에서 인(P) 및 붕소(B)의 농도분포를 모식적으로 나타내는 도면.

도 11은 산화막을 끼고  $P^+$ 폴리실리콘층으로부터 실리콘층으로 붕소(B)를 확산시켰을 때의 SIMS 측정데이터를 나타내는 그림.

도 12는 종래의 바이폴라 트랜지스터 구성을 나타내는 단면도.

도 13은 종래의 실리콘층,  $P^+Si_{1-x}Ge_x$ 층 및  $I-Si_{1-x}Ge_x$ 층의 단면구조와 그 붕소 농도와 게르마늄 함유율의 분포도를 나타내는 그림.

도 14는 종래  $Si/SiGe$  헤테로 바이폴라 트랜지스터의 에미터·베이스영역에서 인(P), 붕소(B)의 농도분포와, 게르마늄 이차이온 강도의 분포에 대한 SIMS에 의한 측정데이터를 나타내는 도면.

도 15는 본 발명 제 1 실시예 변형예의 반도체장치인 HBT의 구성을 나타내는 단면도.

도 16은 본 발명 제 2 실시예 변형예의 반도체장치인 HBT의 구성을 나타내는 단면도.

### 실시예

#### (제 1 실시예)

도 1은 본 발명 제 1 실시예의 헤테로 바이폴라 트랜지스터(HBT)인 반도체장치의 단면도이다. 단, 도 1에는 HBT의 구조만을 나타내지만, 공통 기판 상에 CMOS회로가 구성되는 일이 많으며 그 경우, 도시하지 않는 영역에 CMOS회로의 MIS트랜지스터가 형성되는 것으로 한다.

도 1에 나타내는 바와 같이, (001)면을 주면으로 하는 실리콘기판(100) 상부는 에피택셜성장법, 미로주입법 등에 의하여 도입된 인 등의 N형 불순물을 함유하는 길이  $1\mu m$ 의 역형 웰(101)이다. 실리콘기판(100) 표면부근 영역의 N형 불순물농도는  $1 \times 10^{17} atoms/cm^2$  정도로 조정된다. 또 소자분리로서, 산화실리콘이 매입된 얇은 트렌치(103)와 비도프 폴리실리콘막(105) 및 이를 둘러싸는 실리콘산화막(106)으로 된 깊은 트렌치(104)가 형성된다. 각 트렌치(103, 104)의 깊이는 각각  $0.35\mu m$ ,  $2\mu m$  정도이다.

또 실리콘기판(100) 내의 트렌치(103)로 둘러싸이는 영역에 콜렉터층(102)이 형성되며, 실리콘기판(100) 내 콜렉터층(102)과는 얇은 트렌치(103)로 분리된 영역에 역형 웰(101)을 개재하고, 콜렉터층(102) 전극과 접촉하기 위한  $N^+$ 콜렉터 인출층(107)이 형성된다.

또한 실리콘기판(100) 상에는 콜렉터 게구부(110)를 갖는 두께 약  $30nm$ 의 제 1 퇴적산화막(108)이 형성된다. 또 실리콘기판(100) 상면 중 콜렉터 게구부(110)에 노출되는 부분과 제 1 퇴적산화막(108)의 위에는, 두께 약  $30nm$ 의 비도프 층( $I-Si_{1-x}Ge_x$ 층)과 P형 불순물이 도핑된 두께 약  $60nm$ 의 도프 층( $P^+Si_{1-x}Ge_x$ 층)으로 이루어지는  $Si_{1-x}Ge_x$ 층(111b)이 형성되며, 다시 그 위에 두께 약  $30nm$ 의 실리콘층(111a)이 적층된다. 이 실리콘층(111a)과  $Si_{1-x}Ge_x$ 층(111b)에 의하여  $Si/Si_{1-x}Ge_x$ 층(111)이 구성된다(부분확대도 참조).  $Si/Si_{1-x}Ge_x$ 층(111)은, 실리콘기판(100) 중 콜렉터 게구부(110)에 노출되는 부분 위에서, 바람이 되는 실리콘기판(100)의 결정구조에 따른 단결정구조를 가지며, 제 1 퇴적산화막(108) 상에서는 다결정구조를 갖는다. 또, 주로  $Si_{1-x}Ge_x$ 층(111b) 중 중앙부(후술하는 베이스 게구부(118)의 하방영역)의 하부가 내부베이스(119)로 되며, 실리콘층(111a)의 중앙부가 에미터층으로 된다. 또한  $Si_{1-x}Ge_x$ 층(111b)의 대부분은 붕소(B) 등 P형 불순물에 의하여  $2 \times 10^{18} atoms/cm^2$  정도로 도핑된다.

$Si/Si_{1-x}Ge_x$ 층(111) 및 제 1 퇴적산화막(108) 상에는 두께 약  $30nm$ 의 에치스토퍼용 제 2 퇴적산화막(112)이 구성되며, 제 2 퇴적산화막(112)에는 베이스접합용 게구부(114) 및 베이스 게구부(118)가 형성된다. 또 베이스접합용 게구부(114)를 메우고 제 2 퇴적산화막(112) 상으로 연장되는 두께 약  $150nm$ 의  $P^+$ 폴리실리콘층(115)과 제 3 퇴적산화막(117)이 구성된다. 상기  $Si/Si_{1-x}Ge_x$ 층(111) 중 베이스 게구부(118)의 하방영역을 제외한 부분과  $P^+$ 폴리실리콘층(115)에 의하여 외부베이스(116)가 구성된다.

또한  $P^+$ 폴리실리콘층(115)과 제 3 퇴적산화막(117) 중 제 2 퇴적산화막(112) 베이스 게구부(118)의 위쪽에 위치하는 부분은 게구되며,  $P^+$ 폴리실리콘층(115)의 측면에는 두께 약  $30nm$ 의 제 4 퇴적산화막(120)이 형성되고, 또 제 4 퇴적산화막(120) 상에 두께 약  $100nm$ 의 폴리실리콘으로 이루어지는 측벽(121)이 구성된다.

여기서, 본 실시예의 특징으로서, 베이스 게구부(118)를 메우고 제 3 퇴적산화막(117) 상으로 연장되는 두께 약  $100nm$ 의  $N^+$ 폴리실리콘층(129b)과, 두께 약  $200nm$ 의  $N^+$ 폴리실리콘층(129a)으로 이루어지는 에미터 인출전극(129)이 구성된다(부분확대도 참조). 이와 같이 실리콘층(111a) 상에 직접  $N^+$ 폴리실리콘

층(129a)을 형성하지 않고, N<sup>+</sup>폴리실리콘층(129b)을 양자간에 게재시킴으로써, 실리콘층(111a)으로 고농도의 인(P)이 과잉 도핑되는 것을 억제할 수 있도록 구성된다. 본 실시예에서 실리콘층(111a)에는 N<sup>+</sup>폴리실리콘층(129a)으로부터의 인(P) 확산에 의하여 기판의 깊이방향으로  $7 \times 10^{17}$  atoms/cm<sup>3</sup>에서  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 정도까지의 분포로 인(P)이 도핑된다.

상기 제 4 퇴적산화막(120)에 의하여 P<sup>+</sup>폴리실리콘층(115)과 에미터 인출전극(129)이 전기적으로 절연됨과 동시에, P<sup>+</sup>폴리실리콘층(115)으로부터 에미터 인출전극(129)으로의 불순물 확산이 저지된다. 또 제 3 퇴적산화막(117)에 의하여 P<sup>+</sup>폴리실리콘층(115)의 상면과 에미터 인출전극(129)이 절연된다. 또한 에미터 인출전극(129)과 P<sup>+</sup>폴리실리콘층(115)의 바깥쪽 면은 측벽(123)으로 피복된다.

또한 플렉터 인출층(107), P<sup>+</sup>폴리실리콘층(115) 및 에미터 인출전극(129)의 표면에는 각각 T1실리사이드층(124)이 형성된다. 여기서, P<sup>+</sup>폴리실리콘층(115)의 바깥쪽 면 구조는 도 12에 나타내는 종래의 HBT 구조와 다르지만, 이는 P<sup>+</sup>폴리실리콘층(115)과 에미터 인출전극(129)의 패터닝 순서 차이에 의한 것이다.

또 기판 전체는 층간절연막(125)으로 피복되며, 층간절연막(125)을 관통하여 N<sup>+</sup>플렉터 인출층(107)과, 외부베이스의 일부분, P<sup>+</sup>폴리실리콘층(115) 및 에미터 인출전극(129) 위의 T1실리사이드층(124)에 도달하는 접속공이 각각 형성된다. 그리고 이 각 접속공을 매우는 웨플러그(126)와, 각 웨플러그(126)에 접속되며 층간절연막(125) 상으로 연장되는 금속배선(127)이 구성된다.

여기서, 상술한 바와 같은 각 층의 두께는 전형적인 값을 나타내며, HBT의 종류나 용도에 따라 적당한 두께가 이용 가능하다.

여기서, 도 1의 부분확대도에 나타내는 에미터 베이스접합부의 구조에 대하여 설명하기로 한다. Si<sub>1-x</sub>Ge<sub>x</sub>층(111b) 중 베이스 게구부(118)의 아래쪽에 위치하는 부분이 내부베이스(119)(진성 베이스)로서 기능한다. 또 실리콘층(111a) 중 베이스 게구부(118)의 바로 아래쪽에 위치하는 부분이며, 에미터 인출전극(129)으로부터의 확산에 의하여 붕소가 도입된 부분이 에미터(130)로서 기능한다.

그리고 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(111) 중 베이스 게구부(118)의 하방영역을 제외한 부분과 P<sup>+</sup>폴리실리콘층(115)에 의하여 외부베이스(116)가 구성된다. 단, 부분확대도에 나타내는 부분에서는 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(111) 중 베이스 게구부(118)의 하방영역을 제외한 부분이 외부베이스(116)로서 기능한다.

상술한 바와 같은 구조에 의하여 실리콘 단결정으로 이루어지는 N<sup>+</sup>형 에미터(130)와, 주로 Si<sub>1-x</sub>Ge<sub>x</sub> 단결정으로 이루어지는 P<sup>+</sup>형 내부베이스(119)와, 실리콘 단결정으로 이루어지는 플렉터층(102)을 구비한 Si/SiGe계 NPN hetero 바이폴라 트랜지스터가 구성된다. 단, 에미터 베이스 플렉터를 구획하는 것은 Si/SiGe결정의 경계라기보다 불순물의 도전형이 변화하는 부분이므로, 정확하게는 불순물의 농도프로파일이 하방에 따라 에미터 베이스 플렉터의 경계로 변화하게 된다. 특히 내부베이스(119)의 P형 불순물인 붕소(B)의 농도프로파일이 가장 중요하므로, Si<sub>1-x</sub>Ge<sub>x</sub>층(111b)을 퇴적시킬 때는 종래와 마찬가지로 도 13에서 설명한 바와 같이 한다.

다음으로, 도 1에 나타내는 구조를 실현하기 위한 제조공정에 대하여 도 2의 (a)~도 5의 (b)를 참조하면서 설명하기로 한다. 도 2의 (a)~도 5의 (b)는 제 1 실시예의 Si/SiGe-HBT의 제조공정을 나타내는 단면도이다. 또, 공통 기판 상에 CMOS다바이스를 형성해도 되며, HBT만을 형성해도 된다.

우선 도 2의 (a)에 나타내는 공정에서, (001)면을 주면으로 하는 실리콘기판(100)의 상부에, N형 불순물을 도핑하면서 실리콘 단결정층을 에피택셜 성장시키거나, 또는 에피택셜성장 후 고 에너지의 이온주입을 실시함으로써, 길이 약 1 $\mu$ m의 N형 역형 웰(101)을 형성한다. 단, 에피택셜성장을 실시하지 않고 실리콘기판(100)의 일부분에 이온주입을 실시하여 역형 웰(101)을 형성하는 것도 가능하다. 이때 실리콘기판(100) 표면부근의 영역은 HBT의 플렉터층이 되므로, N형 불순물 농도를  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 정도로 조정해 둔다.

다음에 소자분리로서, 산화실리콘이 매입된 얇은 트렌치(103)와, 비도프 폴리실리콘막(105) 및 이를 둘러싸는 실리콘산화막(106)으로 구성되는 깊은 트렌치(104)를 형성한다. 각 트렌치(103, 104)의 깊이는 각각 0.35 $\mu$ m, 2 $\mu$ m 정도로 해둔다. 실리콘기판(100) 내에서 얇은 트렌치(103)로 둘러싸이는 영역이 플렉터층(100)이 된다. 또 실리콘기판(100) 내의 플렉터층(102)과는 얇은 트렌치(103)에 의하여 분리된 영역에, 플렉터전극과 접속하기 위한 N<sup>+</sup>플렉터 인출층(107)을 형성한다.

다음으로 도 2의 (b)에 나타내는 공정에서, 테트라에톡시실란(TEOS)과 산소를 이용한 화학기상성장법(CVD)을 처리온도 680°C에서 실시하여, 웨이퍼 상에 두께 약 30nm의 제 1 퇴적산화막(108)을 형성한 후, 불산 등의 습식에칭으로 제 1 퇴적산화막(108)에 플렉터 게구부(110)를 형성한다. 그리고 실리콘기판(100)의 플렉터 게구부(110)에 노출된 부분을 암모니아수와 과산화수소수의 혼합액으로 처리하고, 그 부분에 두께 1nm 정도의 보호산화막을 형성한 상태에서 웨이퍼를 UV-CVD장치의 챔버 내로 도입한다. 또 도입 후, 수소분위기 중에서 열처리를 실시함으로써 보호산화막을 제거한 후 550°C로 가열하면서 디실란(Si<sub>2</sub>H<sub>6</sub>)과 게르만(GeH<sub>4</sub>)을 도입하여, 실리콘기판(100)의 플렉터 게구부(110)에 노출된 표면 및 제 1 퇴적산화막(108) 상에 도 1의 부분확대도에 나타내는 두께 약 30nm의 비도프 층(1-Si<sub>1-x</sub>Ge<sub>x</sub>층)을 선택적으로 에피택셜성장시킨 후, 550°C로 가열하면서 디실란(Si<sub>2</sub>H<sub>6</sub>)과 게르만(GeH<sub>4</sub>)에, 도핑용 디보란(B<sub>2</sub>H<sub>6</sub>)을 함유하는 가스를 챔버 내로 도입하여, 1-Si<sub>1-x</sub>Ge<sub>x</sub>층 상에 약 60nm의 P<sup>+</sup>Si<sub>1-x</sub>Ge<sub>x</sub>층을 에피택셜 성장시킨다.



이로써 총 두께가 약 90nm의  $Si_{1-x}Ge_x$ 층(111b)을 형성한다. 그리고  $Si_{1-x}Ge_x$ 층(111b)을 형성한 후, 연속적으로 챔버 내로 공급하는 가스를 디플란으로 바꿈으로써,  $Si_{1-x}Ge_x$ 층(111b)의  $P^+$   $Si_{1-x}Ge_x$ 층 위에 두께 약 30nm의 실리콘층(111a)을 에피택셜성장 시킨다. 이  $Si_{1-x}Ge_x$ 층(111b)과 실리콘층(111a)에 의하여  $Si/Si_{1-x}Ge_x$ 층(111)이 형성된다. 여기서,  $P^+$   $Si_{1-x}Ge_x$ 층 중 붕소(B)의 농도는  $2 \times 10^{18} \text{ atoms/cm}^3$ 이다. 이 때 실리콘층(111a)에는 불순물을 도입하지 않는다. 그리고 주로  $Si_{1-x}Ge_x$ 층(111b) 중 중앙부의 하부가 내부베이스(119)가 된다.

다음으로 도 3의 (a)에 나타내는 공정에서, 웨이퍼 상에, 에치스토퍼가 될 막 두께 30nm의 제 2 퇴적산화막(112)을 형성한 후, 제 2 퇴적산화막(112) 상에 형성한 레지스트마스크(Pr1)를 이용하여 제 2 퇴적산화막(112)을 드라이에칭으로 패터닝하고 베이스접합용 개구부(114)를 형성한다. 이 때  $Si/Si_{1-x}Ge_x$ 층(111)의 중앙부는 제 2 퇴적산화막으로 피복되며, 베이스접합용 개구부(114)에는  $Si/Si_{1-x}Ge_x$ 층(111)의 일부와 제 1 퇴적산화막(108)의 일부가 노출된다. 다음에 합성영역 분리접합부에서의 스트레스 영향을 억제하기 위하여, 베이스접합용 개구부(114)의 형성에 이용한 레지스트마스크(Pr1)를 이용하여 붕소(B) 등 P형 불순물의 이온주입을 실시하여, 표면부근의 농도가  $3 \times 10^{17} \text{ atoms/cm}^3$  정도의 접합리크 방지층(113)을 형성한다.

다음으로 도 3의 (b)에 나타내는 공정에서, CVD에 의하여 웨이퍼 상에, 붕소가  $1 \times 10^{17} \text{ atoms/cm}^3$  이상의 고농도로 도핑된 두께 약 150nm의  $P^+$  폴리실리콘층(115)을 퇴적하고, 이어서 두께 약 100nm의 제 3 퇴적산화막(117)을 퇴적시킨다. 다음에 드라이에칭으로 제 3 퇴적산화막(117)과  $P^+$  폴리실리콘층(115)을 패터닝하여, 제 3 퇴적산화막(117)과  $P^+$  폴리실리콘층(115)의 중앙부에 제 2 퇴적산화막(112)에 달하는 베이스 개구부(118)를 형성한다. 이 베이스 개구부(118)는 제 2 퇴적산화막(112)의 중앙부보다 작으며, 베이스 개구부(118)가 베이스접합용 개구부(114)에 겹치지는 일은 없다. 이 공정에 의하여  $P^+$  폴리실리콘층(115)과  $Si/Si_{1-x}Ge_x$ 층(111)의 중앙부를 제외한 부분으로 구성되는 외부베이스(116)가 형성된다. 여기서 본 실시예에서는 이 때, 제 3 퇴적산화막(117)과  $P^+$  폴리실리콘층(115)과의 도면 중의 양단부를 예칭하지 않고 남겨둔다. 이로써 예칭한 측벽에 부착하는 잔류물을 최대한 억제할 수 있다.

다음, 도 4의 (a)에 나타내는 공정에서, CVD에 의하여 웨이퍼 전면 상에 두께 약 30nm의 제 4 퇴적산화막(120)과 두께 약 150nm의 폴리실리콘막을 퇴적시킨다. 그리고 이방성 드라이에칭으로 제 4 퇴적산화막(120) 및 폴리실리콘막을 에치백하여,  $P^+$  폴리실리콘층(115) 및 제 3 퇴적산화막(117)의 측벽 상에 제 4 퇴적산화막(120)을 제거하고 폴리실리콘으로 이루어지는 측벽(121)을 형성한다. 이어서 불산 등에 의한 습식예칭을 실시하여, 제 2 퇴적산화막(112) 및 제 4 퇴적산화막(120) 중 노출된 부분을 제거한다. 이 때 베이스 개구부(118)에서는  $Si/Si_{1-x}Ge_x$ 층(111) 상부의 실리콘층이 노출된다. 또 습식예칭은 등방성이므로 제 2 퇴적산화막(112) 및 제 4 퇴적산화막(120)이 횡방향으로 예칭되며, 베이스 개구부(118)의 치수가 확대된다.

다음에 도 4의 (b)에 나타내는 공정에서, 두께 약 100nm의  $N^+$  폴리실리콘층(129b)(퇴적 시 비정질상태임)과, 두께 약 200nm의  $N^+$  폴리실리콘층(129a)을 퇴적시킨 후, 드라이에칭으로  $N^+$  폴리실리콘층(129b) 및  $N^+$  폴리실리콘층(129a)을 패터닝함으로써 에미터 인출전극(129)을 형성한다. 이 때, 폴리실리콘막을 퇴적시킬 때의 in-situ 도핑에 의하여  $N^+$  폴리실리콘층(129a)에는 약  $7 \times 10^{17} \text{ atoms/cm}^3$  농도의 인(P)이 도핑되며,  $N^+$  폴리실리콘층(129b)에는 약  $7 \times 10^{17} \text{ atoms/cm}^3$  농도의 인(P)이 도핑된다. 그 후 925°C, 15sec의 조건으로 열처리를 실시하여,  $N^+$  폴리실리콘층(129b)으로부터 실리콘층(111a)으로 인(P)을 확산시킴으로써, 실리콘층(111a)에, 기판 길이방향을 향하여  $2 \times 10^{17} \text{ atoms/cm}^3$ 에서  $1 \times 10^{17} \text{ atoms/cm}^3$  정도까지의 분포로 인(P)을 도핑한다. 이로써 에미터(130)가 형성된다.

다음으로 도 5의 (a)에 나타내는 공정에서 드라이에칭으로, 제 3 퇴적산화막(117),  $P^+$  폴리실리콘층(115) 및 제 2 퇴적산화막(112)을 패터닝하여, 외부베이스(116)의 형상을 결정한다.

다음에 도 5의 (b)에서 나타내는 공정에서, 웨이퍼 상에 두께 약 120nm의 퇴적산화막을 형성한 후 드라이에칭을 실시하여, 에미터 인출전극(129)과  $P^+$  폴리실리콘층(115) 측면에 측벽(123)을 형성한다. 이 때의 드라이에칭(오버에칭)에 의하여 제 1 퇴적산화막(108)의 노출된 부분을 제거하여 에미터 인출전극(129),  $P^+$  폴리실리콘층(115) 및  $N^+$  폴리실리콘층(107)의 표면을 노출시킨다.

그리고 도 1에 나타내는 구조를 얻기 위하여 다음과 같은 처리를 실시한다. 우선 스퍼터링으로 웨이퍼의 전면 상에 두께 약 40nm의 티탄막을 퇴적시킨 후 675°C, 30sec의 RTA(단시간 어닐링)를 실시함으로써, 에미터 인출전극(129),  $P^+$  폴리실리콘층(115) 및  $N^+$  폴리실리콘층(107)이 노출된 표면에 Ti실리사이드층(124)을 형성한다. 그 후 티탄막의 미반응부분만을 선택적으로 제거한 뒤에 Ti실리사이드층(124)의 결정구조를 변화시키기 위한 어닐링을 실시한다.

다음으로, 웨이퍼 전면 상에 용간접연막(125)을 형성하며, 용간접연막(125)을 관통하여 에미터 인출전극(129),  $P^+$  폴리실리콘층(115) 및  $N^+$  폴리실리콘층(107) 상에 Ti실리사이드층(124)에 도달하는 접속공을 형성한다. 그리고 각 접속공 내에 핵을 매입시켜 핵러그(126)를 형성한 후, 웨이퍼 전면 상에 알루미늄 합금막을 퇴적시킨 다음, 이를 패터닝하여 각 핵러그(126)로 접속되며 용간접연막(125) 상으로 연장되는 금속배선(127)을 형성한다.

이상의 공정으로, 도 1에 나타낸 구조를 갖는 HBT, 즉 실리콘기판(100) 중의 인(P)이 도핑된 필름(역형

형(101))으로 이루어지는 할터와, 붕소(B)가 도핑된  $P^+Si_{1-x}Ga_x$ 층으로 이루어지는 베이스와, 인(P)이 도핑된 실리콘층(111a)으로 이루어지는 에미터를 구비한 HBT가 형성된다.

본 실시예의 HBT 또는 그 제조방법에 의하면, 고 농도의 인(P)을 함유하는 N<sup>+</sup>폴리실리콘층(129a)과 실리콘층(111a) 사이에, 저 농도의 인(P)을 함유하는 N<sup>+</sup>폴리실리콘층(129b)을 개재시킴으로, 실리콘층(111a)(에미터(130))에 고 농도의 인(P)이 확산될에 기인하는 내부베이스층(119)의 붕소(B) 농도분포의 확산을 억제할 수 있다.

도 6은 본 실시예의 에미터 인출전극(129)으로부터 실리콘기판(100)에 이르는 종단면에서 인(P) 및 붕소(B)의 농도분포를 모식적으로 나타내는 도면이다. 도 6에 나타내는 바와 같이, 에미터 인출전극(129) 중 N<sup>+</sup>폴리실리콘층(129a)에서는 인(P)의 농도가 활성화하기에 충분한 값이 되며, 원하는 HBT 특성을 얻기 위해 필요한 에미터 인출전극(129)의 저 저항성이 확보된다. 한편 실리콘층(111a) 상부에 형성되는 에미터(130)에서는 고농한게 이하이며 또 에미터로서 기능하는 데 충분한 농도의 인(P)이 도핑된다. 또 내부베이스(119)로 될  $P^+Si_{1-x}Ga_x$ 층에서 붕소(B)의 농도분포는, 실리콘층(111a)이나  $I-Si_{1-x}Ga_x$ 층으로 크게 넓어지는 일없이 준급함을 유지한다. 이와 같은 붕소(B) 농도분포가 얻어지는 것은 다음과 같은 모의실험에 의하여 확인된다.

도 7은  $P^+Si_{1-x}Ga_x$ 층에서의 붕소(B) 종속확산이, 에미터 인출전극(129)을 구성하는 폴리실리콘층의 인(P) 농도에 따라 어떻게 변화하는지를 조사하기 위하여 실시한 모의실험 결과를 나타내는 도면이다. 도 7에서 가로축은 상대적 깊이를 나타내며, 세로축은 인(P) 또는 붕소(B)의 농도(atoms  $cm^{-3}$ )를 나타낸다. 또한 스페이서인  $I-Si_{1-x}Ga_x$ 층의 두께를 40nm로 하고, 베이스인  $P^+Si_{1-x}Ga_x$ 층의 두께를 40nm로 하며, 실리콘층의 두께를 40nm로 하여 925°C, 15sec의 조건으로 확산을 위한 열처리를 실시했다는 조건설정을 한다. 단, 폴리실리콘층 중에서의 확산에 의한 붕소(B) 농도분포의 모의실험은 어려우므로, 폴리실리콘층 내에서 불순물 농도는 일정한 것으로 가정한다. 또 도 7의 오른쪽에는 붕소(B) 및 인(P)의 각 데이터에 대하여 폴리실리콘층(DPS) 중의 인 농도(atoms  $cm^{-3}$ )를 나타낸다. 예를 들어 데이터 B(DPS 7E20)는 N<sup>+</sup>폴리실리콘층(129b)에  $7 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)을 도핑했을 때,  $P^+Si_{1-x}Ga_x$ 층(내부베이스(119))에 도핑한 붕소가 어떻게 확산 됐는지를 나타내며, 데이터 P(DPS 7E20)는 N<sup>+</sup>폴리실리콘층(129b)에  $7 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)을 도핑했을 때, 실리콘층(111a) 내에 그 인(P)이 어떻게 확산 됐는지를 나타낸다.

도 7에 나타내는 바와 같이, 실리콘층(111a)에 접하는 폴리실리콘층에 약  $7 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)을 도핑했을 경우,  $P^+Si_{1-x}Ga_x$ 층으로부터의 붕소 확산이 종속되어, 실리콘층 내에 붕소(B)의 피크가 나타난다. 또 실리콘층에 접하는 폴리실리콘층에 약  $2 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)을 도핑했을 경우, 실리콘층 중의 붕소(B)의 피크가 나타나는 일은 없지만, 실리콘층 및  $I-Si_{1-x}Ga_x$ 층 내에 붕소(B)가 확산되며, 특히 HBT 중의 실리콘층 두께가 10nm일 때에 실리콘층의 최상부에서 약  $3 \times 10^{17}$  atoms  $cm^{-3}$  농도의 붕소(B)가 존재하게 되므로, 바람직하지 않은 것을 알 수 있다. 한편, 실리콘층에 접하는 폴리실리콘층에 고착하여 약  $7 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)을 도핑했을 경우에는,  $P^+Si_{1-x}Ga_x$ 층으로부터 실리콘층 및  $I-Si_{1-x}Ga_x$ 층으로의 붕소(B) 확산이 억제되어, 붕소(B) 농도분포의 준급성이 유지된다. 또 실리콘층에서도 약  $2 \times 10^{17}$  atoms  $cm^{-3}$  농도의 인(P)이 도핑되므로, HBT의 동작에 필요한 농도의 불순물이 모든 영역에 도핑되게 된다.

즉 상술한 제조공정에 나타내는 바와 같이, 약  $7 \times 10^{17}$  atoms  $cm^{-3}$ 의 저 농도 인(P)을 함유하는 N<sup>+</sup>폴리실리콘층(129b)을 실리콘층(111a)의 바로 위에 퇴적시키고, 그 위에 약  $7 \times 10^{17}$  atoms  $cm^{-3}$ 의 고 농도 인(P)을 함유하는 N<sup>+</sup>폴리실리콘층(129a)을 퇴적시킴으로써, 도 6에 나타낸 바와 같은 불순물의 농도분포가 실현될 수 있다.

N<sup>+</sup>폴리실리콘층(129b)에서 인(P)의 농도는, 실리콘층(111a)에 대하여 고농한게 농도의 인을 확산시키는 농도 이하의 농도인 인을 함유하는 것이 바람직하다. 실리콘층(111a) 내에 고농한게 이상의 인(P)이 도핑되면 점 결함을 발생시키며, 이것이 붕소(B)의 확산을 조장하는 것으로 생각되기 때문이다. 여기서, 실리콘 단일결정으로의 인의 고농한게는 약  $1 \times 10^{17}$  atoms  $cm^{-3}$  정도이며, 각종 반도체로의 인 고농한게는 그 반도체의 재질에 따라 정해지는 고유의 값이다. 한편, N<sup>+</sup>폴리실리콘층(129b)에서 인(P)의 농도는, 인(P)의 농도가 너무 낮으면 인(P) 확산을 위한 구동력을 얻을 수 없기 때문에, 실리콘층(111a) 내에 인(P) 확산이 가능한 농도 이상이 아니면 안 된다. 이 때의 실리콘층(111a) 상단부와 N<sup>+</sup>폴리실리콘층(129b)의 인 농도 차이는, 도 7과 같은 모의실험에 의하여 구할 수 있으며, 샘플을 SIMS로 측정함으로써도 확인할 수 있다. 예를 들어 도 7에 나타내는 인(P)(DPS 7E19)의 데이터가 얻어진 시료의 경우, 실리콘층(111a) 상단부 인(P)의 농도가 약  $2 \times 10^{17}$  atoms  $cm^{-3}$ 이며, N<sup>+</sup>폴리실리콘층(129b)의 인(P) 농도가 약  $6 \times 10^{17}$  atoms  $cm^{-3}$ 이다. 다른 시료에 대해서도 고려하면, 이번에 모의실험을 실시한 샘플에 관한 한, N<sup>+</sup>폴리실리콘층(129b)에는 실리콘층(111a)에 도핑하고자 하는 인(P)의 3 배 정도 농도의 인을 함유할 필요가 있게 된다. 단, 이 양자의 농도차는 폴리실리콘이나 비정질실리콘(퇴적 시에는 일반적으로 비정질실리콘인 경우가 많다)의 퇴적조건이나, 바람의 실리콘층(111a)과 N<sup>+</sup>폴리실리콘층(129b)의 경

계층 상태, 예를 들어 자연산화막의 유무나 두께 등에 따라 다르다. 즉, N<sup>+</sup>폴리실리콘층(129b)에 있어서 인(P) 농도의 적절한 범위는, 당해 제조공정에 대한 시료를 이용하여 실험적으로 결정할 수 있다.

또 N<sup>+</sup>폴리실리콘층(129b) 두께의 범위는 N<sup>+</sup>폴리실리콘층(129a) 중의 인(P) 농도와와의 관계로 정해지며, N<sup>+</sup>폴리실리콘층(129a)으로부터의 인(P) 확산에 의하여 실리콘층(111a)에 고용한계 이상의 인(P)이 도핑되지 않고, 또 에미터 인출전극(129) 전체에 필요한 저 저항성이 얻어지는 범위라면 된다.

여기서, N<sup>+</sup>폴리실리콘층(129a)과 N<sup>+</sup>폴리실리콘층(129b)의 2 층뿐만 아니라 중간적 농도의 인을 함유하는 제 3 폴리실리콘층을 양자간에 형성하는 등, 3 층 이상의 폴리실리콘층을 형성해도 되고, 폴리실리콘 층에서 인 농도가 고용한계 이하의 농도에서 고용한계를 초과하는 농도까지 연속적으로 변화하도록 인을 도핑해도 된다.

(제 2 실시예)

도 8은 본 발명 제 2 실시예의 해태로 바이폴라 트랜지스터(HBT)인 반도체장치의 단면도이다. 단, 도 8에는 HBT의 구조만을 나타내지만, 공통 기판 상에 MOS도바이스가 구성되는 일이 많으며, 그 경우, 도시하지 않는 영역에 MOS도바이스의 비트랜지스터가 형성되는 것으로 한다.

도 8에 나타내는 바와 같이 본 실시예의 HBT 구조는, 상기 제 1 실시예의 HBT 구조와 거의 마찬가지로지만, 에미터 인출전극(129)의 구조와 실리콘층(111a) 내의 불순물 농도분포 등이 다르다. 이하, 제 1 실시예와 마찬가지로 구조에 대해서는 설명을 생략하고, 제 1 실시예와 다른 점만을 설명하기로 한다.

본 실시예에서 에미터 인출전극(129)은 N<sup>+</sup>폴리실리콘층만으로 구성되며, 실리콘층(111a) 상부인 에미터층(130)에는 실리콘 단결정으로의 고용한계 이상 농도의 인(P)이 도핑된다. 단, 실리콘층(111a) 상부에는 비교적 고 농도의 붕소(B)도 도핑 되었으며, 후술하는 바와 같이 이 붕소(B)의 존재에 의하여, 내부 베이스로 될 P<sup>+</sup>Si<sub>1-x</sub>Ge<sub>x</sub>층에서 붕소(B) 농도분포의 준급성이 유지된다.

도 9의 (a), (b)는 본 실시예에 있어서 반도체장치 제조공정의 일부를 나타내는 도면이다. 본 실시예에서도 제 1 실시예의 도 2의 (a)~도 3의 (a)까지의 공정과 마찬가지로 실시한다. 단, 본 실시예에서 제 2 퇴적산화막(112)의 두께는 약 10nm이다.

또한 도 9의 (a)에 나타내는 공정에서, CVD법으로 웨이퍼 상에 비도프 폴리실리콘막을 퇴적시킨 후, 폴리실리콘막에 도즈량  $3 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-2}$ 의 조건으로 붕소(B)의 이온주입을 실시하여 고 농도로 도핑된 두께 약 150nm의 P<sup>+</sup>폴리실리콘층(115)을 형성한다. 이어서, 두께 약 100nm의 제 3 퇴적산화막(117)을 퇴적시킨 후, 950°C, 15sec의 조건으로 P<sup>+</sup>폴리실리콘층(115) 중의 붕소(B)를 확산시킨다. 이 열처리에 의하여 P<sup>+</sup>폴리실리콘층(115) 중의 붕소(B)가 제 2 퇴적산화막(112)을 통과하여 실리콘층(111a) 중에 도핑된다.

다음으로 도 9의 (b)에 나타내는 공정에서, 드라이에칭으로, 제 3 퇴적산화막(117)과 P<sup>+</sup>폴리실리콘층(115)을 패터닝하여, 제 3 퇴적산화막(117)과 P<sup>+</sup>폴리실리콘층(115)과의 중앙부에 제 2 퇴적산화막(112)에 달하는 베이스 개구부(118)를 형성한다. 이 베이스 개구부(118)는 제 2 퇴적산화막(112)의 중앙부보다 작으며, 베이스 개구부(118)가 접합용 개구부(114)에 걸쳐지는 일은 없다. 이 공정에 의하여 P<sup>+</sup>폴리실리콘층(115)과 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(111)의 중앙부를 제외한 부분으로 구성되는 외부 베이스(116)가 형성된다.

그 후의 공정은 도시하지 않지만, 도 4의 (a)~도 5의 (b)에 나타낸 공정과 거의 마찬가지로 처리를 실시한다. 단, 에미터 인출전극(129)을 형성할 때에는, N<sup>+</sup>폴리실리콘층만을 퇴적시킨 후에 이를 패터닝하도록 한다.

도 10은 본 실시예에 있어서 Si/Si<sub>1-x</sub>Ge<sub>x</sub>층(111) 중단면에서 인(P) 및 붕소(B)의 농도분포를 모식적으로 나타내는 도면이다. 도 10에 나타내는 바와 같이, 실리콘층(111a) 상부에는 P<sup>+</sup>폴리실리콘층(115)으로부터 제 2 퇴적산화막(112)을 통과하여 확산된 붕소(B)가 고 농도로 도핑된다. 즉, 실리콘층(111a) 내 에미터 인출전극(129)과의 계면에서, 붕소(B)의 농도는 매우 낮지만 그 후 아래쪽을 향하여 급격하게 붕소 농도가 증가하며, 실리콘층(111a) 내 에미터 인출전극(129)과의 계면에서 수 nm 떨어진 위치에서 붕소(B) 농도의 피크가 나타난다. 그리고 내부베이스(119)로 될 P<sup>+</sup>Si<sub>1-x</sub>Ge<sub>x</sub>층의 붕소(B) 농도분포는, 실리콘층(111a)이나 Si<sub>1-x</sub>Ge<sub>x</sub>층으로 크게 넓어지는 일없이 준급함을 유지한다. 여기서, 실리콘층(111a) 상부에 고 농도의 붕소(B)가 도핑되어도, 더욱 고 농도의 인(P)이 도핑되므로 에미터(130)는 고 농도의 N 형이며, NPN 바이폴라 트랜지스터로서의 기능이 손상되는 일은 없다. 이와 같은 불순물 농도분포가 얻어지는 것은, 다음과 같은 모의실험에 의하여 확인된다.

도 11은 본 실시예의 반도체장치 제조공정과 같이, 산화막을 사이에 두고 P<sup>+</sup>폴리실리콘층으로부터 붕소(B)를 실리콘층으로 확산시켰을 때의 SIMS 측정 데이터를 나타내는 도면이다. 도 11에서 가로축은 상대적 깊이를 나타내며, 세로축은 인(P) 또는 붕소(B)의 농도(atoms · cm<sup>-3</sup>)를 나타낸다. 그리고 P<sup>+</sup>폴리실리콘층에서 붕소의 농도를  $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 로 하며, 붕소 확산 시의 P<sup>+</sup>폴리실리콘층과 실리콘층 사이에 개재하는 산화막 두께를 10nm로 한다. 단, 도 11의 데이터는 P<sup>+</sup>폴리실리콘층을 패터닝한 후 인출전극을 형성한 것에 대한 데이터이다. 또 950°C, 15sec의 조건에서 드라이브인 확산을 위한 열처리를 실시한다. 여기서, 인(P)의 데이터는 정확한 값을 얻을 수 없으므로 도시되지 않지만, 도면 중 파선으로 나타내는 분포가 될 것으로 추측된다.

도 11에 나타내는 바와 같이, 상기 도 10에 거의 대응하는 인(P) 및 붕소(B)의 농도분포가 얻어지는 것을 알 수 있다. 즉,  $P^+Si_{1-x}B_x$ 층으로부터 양쪽 실리콘층 및  $1-Si_{1-x}B_x$ 층으로의 붕소(B) 확산이 억제되어, 붕소(B) 농도분포의 준급성이 유지된다. 즉, 실리콘층(111a) 및 플렉터층(102) 쪽으로의 붕소 확산도 억제된다. 도 11에 나타내는 바와 같이 본 실시예와 같은 제조공정에서, 미온주입에서는 종량이 큰 118만이  $P^+$ 폴리실리콘층(115) 쪽으로 도핑되므로, 도 11에 나타난 붕소(B)의 피크는  $P^+Si_{1-x}B_x$ 층으로부터의 붕소(B) 확산에 의한 것이 아니라,  $P^+$ 폴리실리콘층(115)으로부터의 확산에 의한 것임을 알 수 있다. 여기서, SiH3에 의한 속성의 특성 상, 스퍼터링되는 영역에 폭이 있으므로,  $P^+Si_{1-x}B_x$ 층 중의 붕소 농도분포가 넓어지고 있는 것처럼 보이지만, 실제로는 준급한 분포가 있는 것으로 추측할 수 있다.

즉, 상술한 제조공정에 나타난 바와 같이 제 2 퇴적산화막(112)을 사이에 두고  $P^+$ 폴리실리콘층(115)으로부터 붕소(B)를 실리콘층(111a)까지 확산시킴으로써, 내부베이스인  $P^+Si_{1-x}B_x$ 층의 붕소 농도분포를 준급하게 유지할 수 있음이 경험적으로 확인된다.

이와 같이  $P^+Si_{1-x}B_x$ 층 중의 붕소 농도분포가 준급하게 유지될 수 있는 이유에 대해서는 아직 확인되지 않고 있다. 본 발명자의 추측으로는,  $N^+$ 폴리실리콘층으로 이루어지는 에미터 인출전극(129)으로부터 실리콘 단결정에의 고용한계 이상의 고 농도 인(P)이 실리콘층(111a)으로 확산됨으로써, 실리콘층(111a) 내에 점 결함이 발생하더라도,  $P^+$ 폴리실리콘층(115)으로부터 실리콘층(111a)으로 확산된 붕소(B)에 의하여 점 결함이 정거되는 결과,  $P^+Si_{1-x}B_x$ 층 즉 내부베이스의 붕소(B) 확산이 억제되는 것으로 생각할 수 있다.

따라서 실리콘층(111a)의 적어도 상부에,  $P^+Si_{1-x}B_x$ 층(내부베이스)보다 고 농도의 붕소가 도핑되는 것이 바람직하다. 또 실리콘층(111a) 전체에 붕소가 도핑되어도 된다.

여기서, 실리콘층(111a)에 있어서, 붕소(B)가 도핑된 영역이, 이 영역의 붕소보다 고 농도 인이 도핑된 영역에 포함되는 것이 바람직하다. 이로써 높은 내압성을 확보할 수 있기 때문이다.

(기타 실시예)

본 실시예에서는  $P^+$ 폴리실리콘층(115)에 미온주입에 의하여 붕소(B)를 도핑했지만, In-situ 도핑법에 의하여  $P^+$ 폴리실리콘층(115)에 붕소(B)를 도핑해도 된다.

또 실리콘층(111a) 상부에 붕소(B)를 고 농도로 도핑하는 방법으로서, 본 실시예에서 설명한 방법에 한정되지 않는다. 제조공정의 도시는 생략하지만, 예를 들어 실리콘층(111a)을 에피택셜성장 시킬 때(제 1 실시예에서 도 2의 (b)에 나타난 공정), 실리콘층(111a)의 상부에 붕소(B)를 고 농도로 In-situ 도핑하도록 해도 된다. 이 방법에 의하면, 상기 제 2 실시예의 제조방법보다, 실리콘층(111a) 등에서의 불순물 농도분포를 안정되게 제어할 수 있다는 이점이 있다.

상기 각 실시예에서는 베이스층으로서  $Si_{1-x}B_x$ 층( $0 \leq x < 1$ )으로 구성했지만, 베이스층을  $Si_{1-x}B_x$ 층 대신에  $Si_{1-x}B_xCy$ 층( $0 \leq x, y < 1$ )이나,  $Si_{1-x}Cy$ 층( $0 \leq y < 1$ )으로 구성해도 된다. 또 에미터, 플렉터 중 적어도 어느 하나를  $Si_{1-x}B_x$ 층,  $Si_{1-x}B_xCy$ 층 또는  $Si_{1-x}Cy$ 층으로 구성해도 된다.

도 15는 제 1 실시예의  $Si_{1-x}B_x$ 층 대신에  $Si_{1-x}B_xCy$ 층을 구성시킨 변형예에 관한 헤테로 바이폴라 트랜지스터(HBT)의 단면도이다. 본 변형예에 있어서 HBT의 구조는, 상기 제 1 실시예의 HBT 구조와 거의 마찬가지이지만 다음 점만이 다르다. Si기관(100)의 상면 중 플렉터 개구부(110)에 노출되는 부분과 제 1 퇴적산화막(108) 상에는, 두께 약 30nm의 비도프 층( $Si_{1-x}B_xCy$ 층)과 P형 불순물이 도핑된 두께 약 60nm의 도프 층( $P^+Si_{1-x}B_xCy$ 층)으로 이루어지는  $Si_{1-x}B_xCy$ 층(151b)이 구성되며, 다시 그 위에 두께 약 30nm의 실리콘층(151a)이 적층된다. 이  $Si_{1-x}B_xCy$ 층(151b)과 실리콘층(151a)으로써  $Si/Si_{1-x}B_xCy$ 층(151)이 구성된다(부분확대도 참조).  $Si/Si_{1-x}B_xCy$ 층(151)은, 실리콘기관(100) 중 플렉터 개구부(110)에 노출되는 부분 상에서는 바람직한 실리콘기관(100)의 결정구조를 따른 단결정구조를 가지며, 제 1 퇴적산화막(108) 상에서는 다결정구조를 갖는다. 그리고 주로  $Si_{1-x}B_xCy$ 층(151b) 중 중앙부(후술하는 베이스 개구부(118)의 하방영역)의 하부가 내부베이스(119)가 되며, 실리콘층(151a)의 중앙부가 에미터층이 된다. 또  $Si_{1-x}B_xCy$ 층의 대부분은 붕소(P) 등 P형 불순물에 의하여  $2 \times 10^{18} \text{ atoms/cm}^3$  정도로 도핑된다. 도 15에 나타내는 그 밖의 부재는 제 1 실시예와 마찬가지로 도 1과 동일부호를 부여하고 그 설명을 생략한다. 제조공정에 있어서, 제 1 실시예에서의  $Si_{1-x}B_x$ 층의 에피택셜성장 대신에  $Si_{1-x}B_xCy$ 층의 에피택셜 성장을 실시한다.

도 16은 제 2 실시예의  $Si_{1-x}B_x$ 층 대신에  $Si_{1-x}B_xCy$ 층을 구성한 변형예에 관한 헤테로 바이폴라 트랜지스터(HBT)의 단면도이다. 도 16에 나타내는 바와 같이 본 변형예에서의 HBT 구조는 상기 제 1 실시예 변형예의 HBT 구조와 거의 마찬가지이지만, 에미터 인출전극(129)의 구조와, 실리콘층(151a) 내 불순물의 농도분포 등이 다르다. 이하, 제 1 실시예의 변형예와 마찬가지로 구조에 대해서는 설명을 생략하고, 제 1 실시예의 변형예와 다른 점만을 설명하기로 한다.

본 변형예에서 에미터 인출전극(129)은  $N^+$ 폴리실리콘층만으로 구성되며, 실리콘층(151a) 상부의 에미터층(130)에는 실리콘 단결정의 고용한계 이상 농도의 인(P)이 도핑된다. 단, 실리콘층(151a) 상부



에는 비교적 고 농도의 붕소(B)도 도핑되어 있어, 후술하는 바와 같이 이 붕소(B)의 존재에 의하여, 내부 베이스가 될  $P^+Si_{1-x}Ge_x$ 층에서 붕소(B) 농도분포의 준급성이 유지된다. 제조공정에 있어서  $Si_{1-x}Ge_x$ 층의 에피택셜성장 대신에  $Si_{1-x}Ge_x$ 층의 에피택셜성장을 실시한다.

#### 산업상이용가능성

본 발명의 반도체장치는 전자기기에 탑재되는 바이폴라 트랜지스터 등의 디바이스, 특히 고주파신호를 취급하는 디바이스에 이용된다.

#### (57) 청구의 범위

청구항 1. 컬렉터층으로 기능하는 N형 제 1 단결정 반도체층을 갖는 기판과,

상기 제 1 단결정 반도체층 상에 구성되며, P형 불순물을 함유하고 베이스층으로서 기능하는 P형 제 2 단결정 반도체층과,

상기 제 2 단결정 반도체층 상에 구성되고, 상부에 고응한계 이하 농도의 인을 함유하며, 적어도 일부가 에미터로서 기능하는 제 3 단결정 반도체층과,

상기 제 3 단결정 반도체층 상에 구성되며, 상기 제 3 단결정 반도체층의 상기 상부보다 고농도의 인을 함유하는 반도체층으로 이루어지는 에미터 인출전극을 구비하는 반도체장치.

청구항 2. 컬렉터층으로 기능하는 N형 제 1 단결정 반도체층을 갖는 기판과,

상기 제 1 단결정 반도체층 상에 구성되며, P형 불순물을 함유하고 베이스층으로서 기능하는 P형 제 2 단결정 반도체층과,

상기 제 2 단결정 반도체층 상에 구성되며, 적어도 상부에 있어서 P형 불순물과 이 P형 불순물 농도보다 고농도의 인을 함유하고, 적어도 일부가 에미터로서 기능하는 제 3 단결정 반도체층을 구비하는 반도체장치.

청구항 3. 제 2 항에 있어서,

상기 제 3 단결정 반도체층의 상부에서 P형 불순물의 농도는, 상기 제 2 단결정 반도체층에서의 P형 불순물의 농도 이상인 것을 특징으로 하는 반도체장치.

청구항 4. 제 2 항 또는 제 3 항에 있어서,

상기 제 1 단결정 반도체층은 실리콘층이며,

상기 제 2 단결정 반도체층은  $SiGe$ 층이고,

상기 제 3 단결정 반도체층은 실리콘층인 것을 특징으로 하는 반도체장치.

청구항 5. 제 2 항 또는 제 3 항에 있어서,

상기 제 1 단결정 반도체층은 실리콘층이며,

상기 제 2 단결정 반도체층은  $SiGeC$ 층이고,

상기 제 3 단결정 반도체층은 실리콘층인 것을 특징으로 하는 반도체장치.

청구항 6. 기판 상의 컬렉터층으로서 기능하는 N형 제 1 단결정 반도체층 상에, 베이스층으로서 기능하는 P형 제 2 단결정 반도체층을 에피택셜성장시키는 공정(a)과,

상기 제 2 단결정 반도체층 상에, 제 3 단결정 반도체층을 에피택셜성장시키는 공정(b)과,

상기 제 3 단결정 반도체층 상에, 최하부에서 상기 제 3 단결정 반도체층의 고응한계 농도의 인을 제 3 단결정 반도체층으로 확산시키기 위한 농도 이하인 농도의 인을 함유하며, 상부에 있어서 상기 최하부보다 고농도의 인을 함유하는 반도체층을 퇴적시키는 공정(c)과,

상기 반도체층 내의 인을 확산시키기 위한 열처리를 실시하여, 상기 제 3 단결정 반도체층 상부에 고응한계 이하인 농도의 인을 도핑하여, 바이폴라 트랜지스터의 에미터를 형성하는 공정(d)을 포함하는 반도체장치의 제조방법.

청구항 7. 제 6 항에 있어서,

상기 공정(c)에서는, 상기 반도체층에 도핑하는 인의 농도를 상방을 향하여 단계적으로 높여 가는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8. 제 6 항에 있어서,

상기 공정(c)에서는, 상기 반도체층에 도핑하는 인의 농도를 상방을 향하여 연속적으로 높여 가는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9. 제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 공정(a)에서는, 상기 제 1 단결정 반도체층으로서의 실리콘층 상에, 상기 제 2 단결정 반도체층으로서  $SiGe$ 층을 에피택셜성장 시키며,

상기 공정(b)에서는, 상기 제 3 단결정 반도체층으로서 실리콘층을 에피택셜성장시키는 것을 특징으로 하는 반도체장치의 제조방법.



청구항 10. 제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 공정(a)에서는, 상기 제 1 단결정 반도체층으로서의 실리콘층 상에, 상기 제 2 단결정 반도체층으로서 SiGe층을 에피택셜성장 시키며,

상기 공정(b)에서는, 상기 제 3 단결정 반도체층으로서 실리콘층을 에피택셜성장 시키는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11. 기관 상의 몰렉터층으로서 기능하는 N형 제 1 단결정 반도체층 상에, 베이스층으로서 기능하는 P형 제 2 단결정 반도체층을 에피택셜성장 시키는 공정(a)과,

상기 제 2 단결정 반도체층 상에, 제 3 단결정 반도체층을 에피택셜성장 시키는 공정(b)과,

상기 제 3 단결정 반도체층의 적어도 상부에, P형 불순물을 도핑하는 공정(c)과,

상기 제 3 단결정 반도체층 상에, 인을 함유하는 반도체층을 형성하는 공정(d)과,

상기 반도체층 내의 인을 확산시키기 위한 열처리를 실시하여, 상기 제 3 단결정 반도체층 상부에 상기 공정(c)에서 도핑된 P형 불순물보다 고농도의 인을 도핑하여, 바이폴라 트랜지스터의 에미터를 형성하는 공정(e)을 포함하는 반도체장치의 제조방법.

청구항 12. 제 11 항에 있어서,

상기 공정(c)은 상기 공정(b)과 동시에, P형 불순물을 도핑하면서 상기 제 3 단결정 반도체층을 에피택셜 성장 시킴으로써 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13. 제 11 항에 있어서,

상기 공정(c)은, 상기 공정(b) 후, 상기 제 3 단결정 반도체층 내에 P형 불순물의 이온을 주입함으로써 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14. 제 11 항에 있어서,

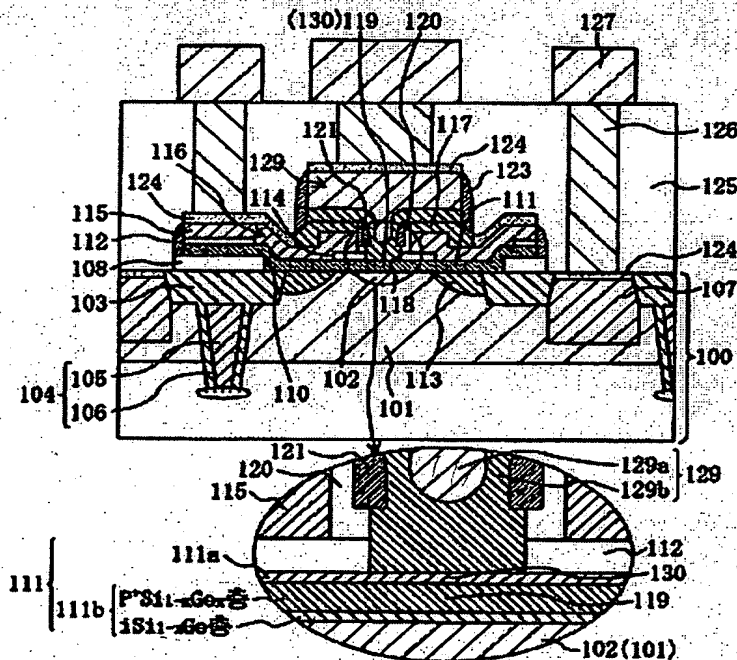
상기 공정(b) 후, 상기 공정(c) 전에, 상기 제 3 단결정 반도체층 상에 점연층을 형성하는 공정과,

상기 점연층 상에, P형 불순물을 함유하는 반도체층을 형성하는 공정을 추가로 포함하며,

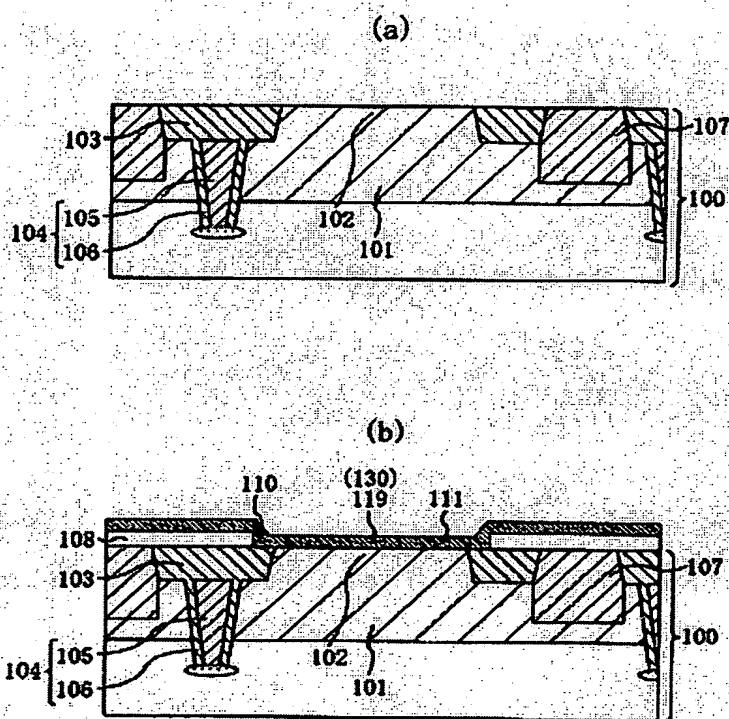
상기 공정(c)은, 열처리에 의하여 상기 반도체층으로부터 상기 점연층을 통과시켜 상기 제 3 단결정 반도체층으로 P형 불순물을 도입함으로써 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

도면

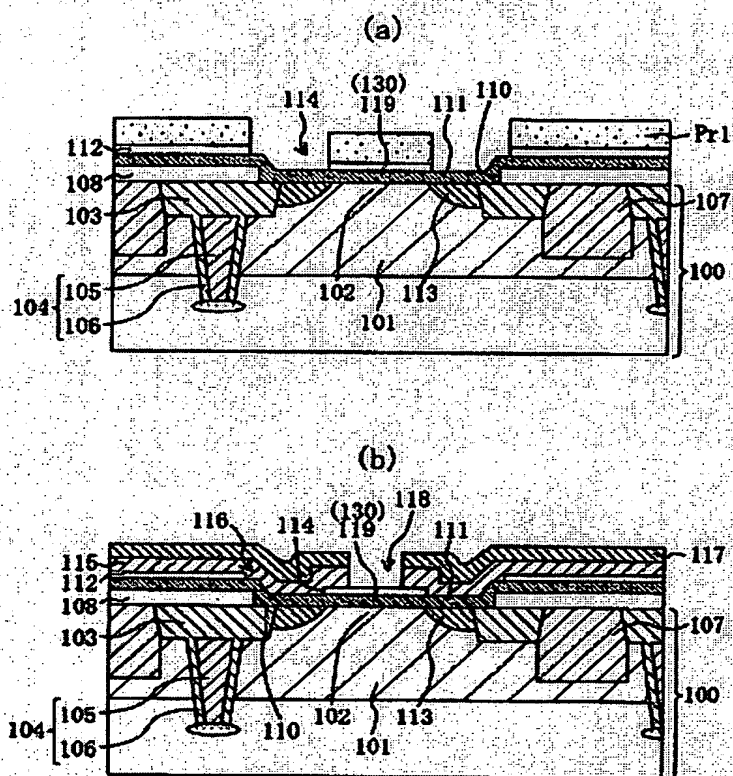
도면



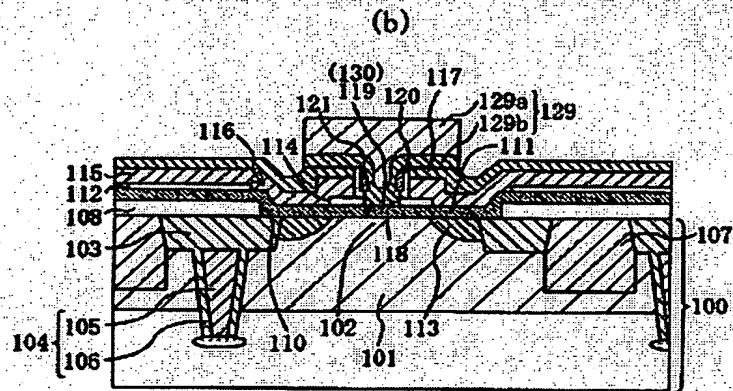
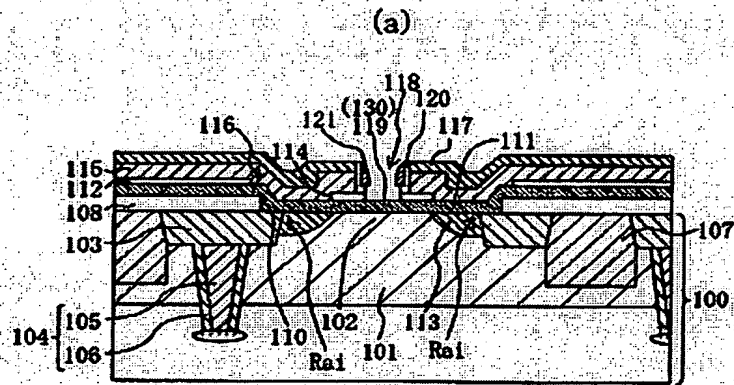
502



**503**



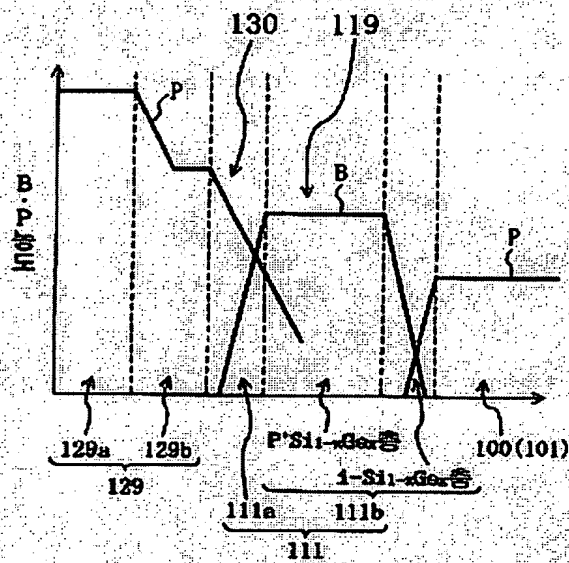
**CPA**

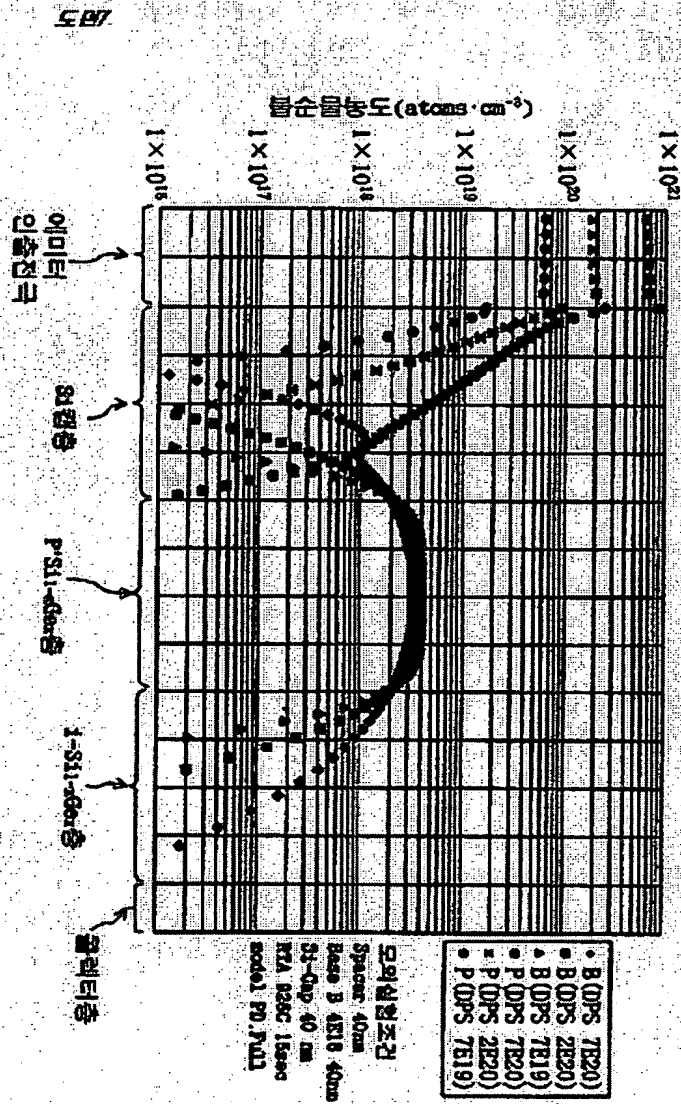




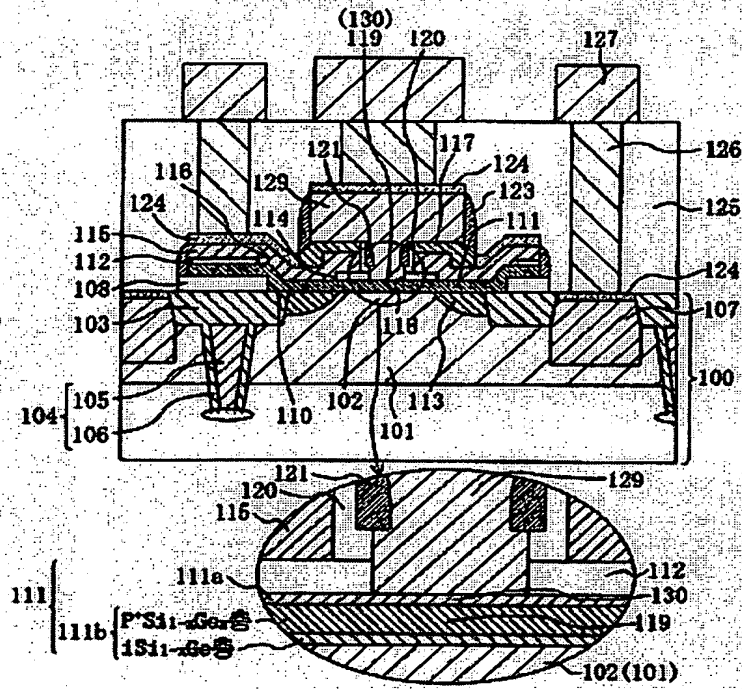


도 20



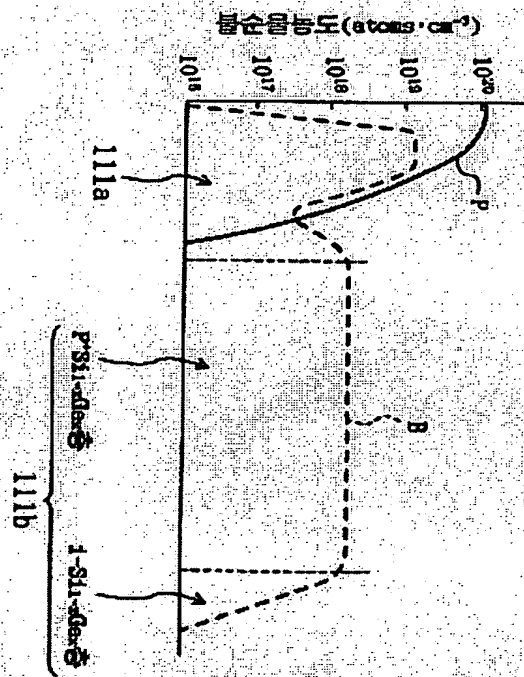


도 18



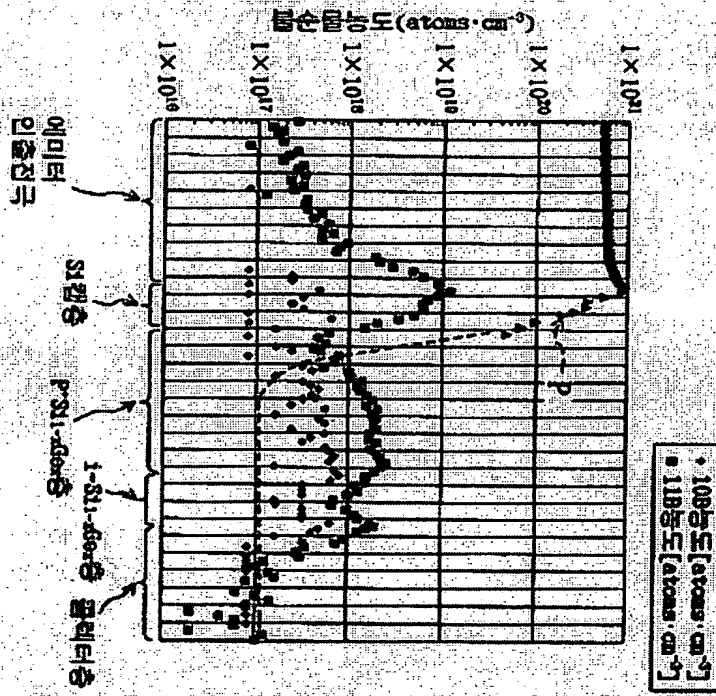


도 20

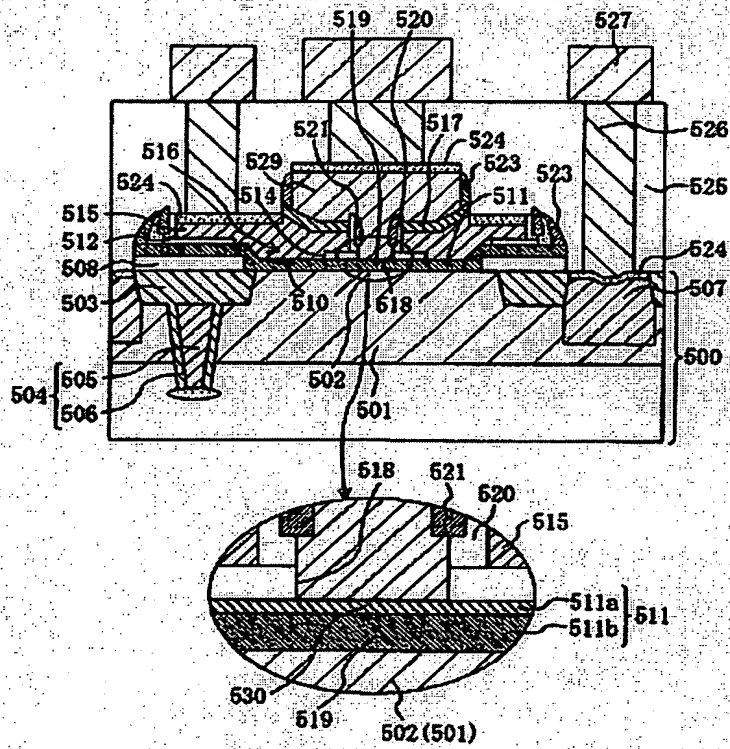




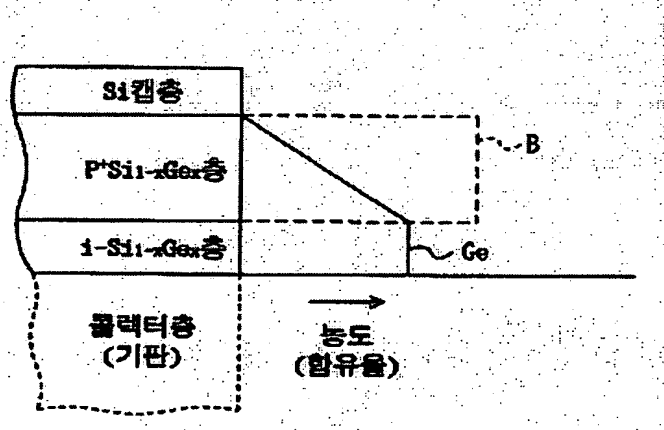
1183

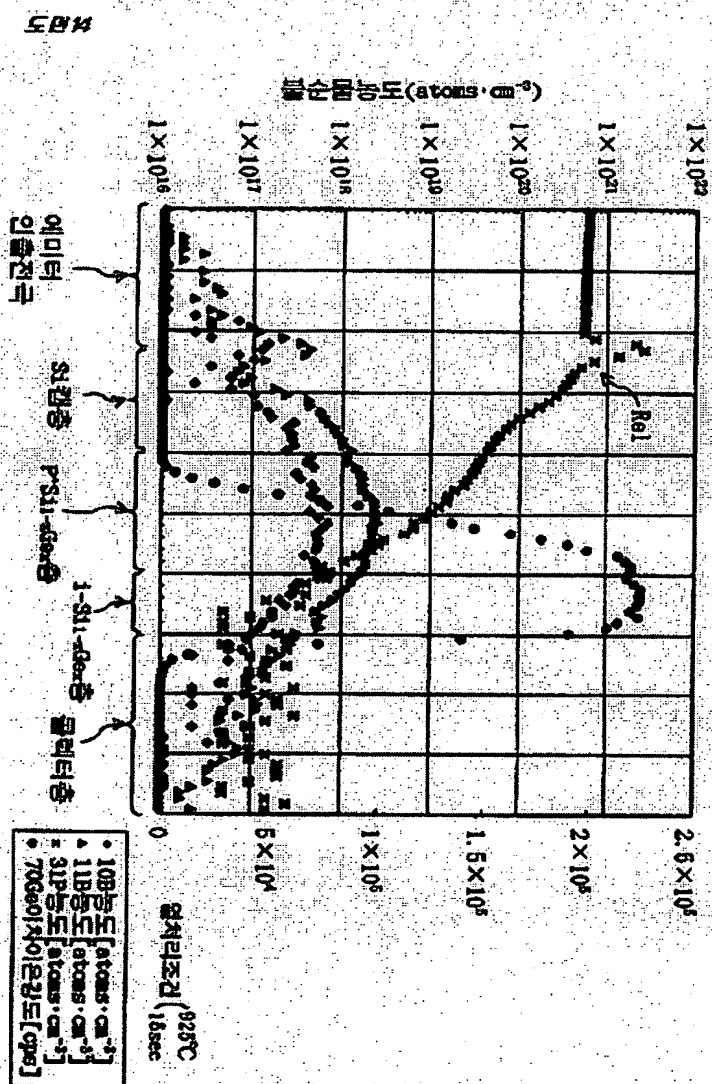


도 22



도 23







**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**